

Τομέας Αρχιτεκτονικής Υπολογιστών και Βιομηχανικών Εφαρμογών
Επιβλέπων: Δρ. Ι. Καλόμοιρος, Αναπλ. Καθηγητής, ikalom@teicm.gr

ΘΕΜΑ ΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

Σχεδίαση επιταχυντή ψηφιακού φίλτρου εικόνας με τη γλώσσα VHDL

Με το θέμα αυτό γίνεται εμβάθυνση σε θέματα ψηφιακής επεξεργασίας σήματος, επεξεργασίας εικόνας και ψηφιακής σχεδίασης. Απευθύνεται σε φοιτητές που έχουν το απαραίτητο υπόβαθρο ή είναι διατεθειμένοι να το αναπληρώσουν με σοβαρή μελέτη.

Οι επιταχυντές (accelerators) είναι ενσωματωμένα συστήματα «μοναδικού σκοπού» (single purpose processors) που σχεδιάζονται ώστε να επιταχύνουν υπολογιστικές διαδικασίες με μεγάλο υπολογιστικό φόρτο. Τυπικές τέτοιες διαδικασίες συνδέονται με την ψηφιακή επεξεργασία σήματος (DSP), όπου ο μεγάλος όγκος πολλαπλασιασμών και αθροίσεων (multiply-accumulate ή MAC) δημιουργεί την απαίτηση για ειδικούς επεξεργαστές. Ειδικότερα, η επεξεργασία video δημιουργεί την απαίτηση για διδιάστατα φίλτρα, όπου η επεξεργασία επιτελείται σε τρέχοντα παράθυρα μεγέθους $M \times N$. Στους επιταχυντές, η τυπική ακολουθιακή διαδικασία αριθμητικών πράξεων μέσα στο παράθυρο, παραλληλιζείται με τη χρήση πολλών πόρων υλισμικού, με τη μορφή λογικών στοιχείων, που έχουν αναπτυχθεί πάνω στο πυρίτιο και είναι διαθέσιμοι πάνω στο τσιπ.

Σ' αυτή την πτυχιακή εργασία, ο/η φοιτητής/τρια θα υλοποιήσει σε γλώσσα VHDL ένα τρέχον παράθυρο δύο διαστάσεων, για την αποθήκευση των εικονοστοιχείων που εισέρχονται σε έναν αγωγό (pipeline) επεξεργασίας εικόνας. Ο παράθυρο θα πρέπει να αποθηκεύει όλα τα pixels που ανήκουν σε M γραμμές και N στήλες. Θα πρέπει να είναι παραμετροποιήσιμο, δηλαδή το μέγεθός του να επανακαθορίζεται αυτόματα, με βάση τις παραμέτρους M και N του χρήστη.

Στη συνέχεια, το παράθυρο θα συνδυαστεί με μια αριθμητική μονάδα που θα επιτελεί παράλληλα όλες τις απαραίτητες πράξεις (πολλαπλασιασμούς, προσθέσεις κλπ), με σκοπό την υλοποίηση απλού γκαουσιανού φίλτρου θορύβου.

Η επαλήθευση της σχεδίασης θα γίνει σε προσομοίωση, με κατάλληλο εργαλείο προσομοίωσης VHDL, της επιλογής του φοιτητή (ModelSim, Simulink κλπ).

Η σχεδίαση θα προορίζεται για διάταξη FPGA, η οποία θα διαθέτει τους απαραίτητους πόρους, με τη μορφή λογικών στοιχείων.

Βιβλιογραφία

1. R. Gonzales, R. Woods, *Digital Image Processing*, 3rd edition, Prentice Hall.
2. Ν. Παπαμάρκος, Ψηφιακή επεξεργασία και ανάλυση εικόνας, 2010.
3. V. Pedroni, *Circuit Design and Simulation with VHDL*, second edition, MIT Press, 2010.
4. Ι. Καλόμοιρου, *Εισαγωγή στη γλώσσα VHDL*, Σημειώσεις, 2012.

Αριθμός φοιτητών: ένας

Διαδικασία παρακολούθησης της προόδου, την οποία ο φοιτητής αποδέχεται με την αίτησή του να εκπονήσει την πτυχιακή εργασία:

1. Η προτεινόμενη εργασία θα πρέπει να έχει υλοποιηθεί μέχρι το τέλος Απριλίου 2016. Ο φοιτητής πρέπει να επιδείξει αποτελέσματα μέσα στους πρώτους δύο μήνες από τον ανάληψη του θέματος.
2. Με βάση τα παραπάνω, ο επιβλέπων κρίνει την πρόοδο και αποφασίζει για την συνέχεια της εργασίας. Αν ο επιβλέπων κρίνει στο τέλος του διμήνου ότι δεν υπάρχει η αναμενόμενη πρόοδος, ενώ δεν συντρέχουν αντικειμενικοί λόγοι ακαδημαϊκής φύσεως, το θέμα αφαιρείται χωρίς άλλη προειδοποίηση και ανατίθεται εκ νέου, σε άλλον σπουδαστή.

Απαραίτητες γνώσεις και προαπαιτούμενα μαθήματα:

1. Προηγμένα Ψηφιακά Συστήματα
2. Αρχιτεκτονική Υπολογιστών
3. Καλή γνώση της Αγγλικής γλώσσας

Εξοπλισμός: Ο βασικός εξοπλισμός θα διατεθεί από τον Τομέα ή θα αφορά σε ελεύθερο λογισμικό.

Επικοινωνία: Ι. Καλόμοιρος, Αναπλ. Καθηγητής (ikalom@teiser.gr)